

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112308
 (43)Date of publication of application : 22.04.1994

(51)Int.CI. H01L 21/76
 H01L 21/316

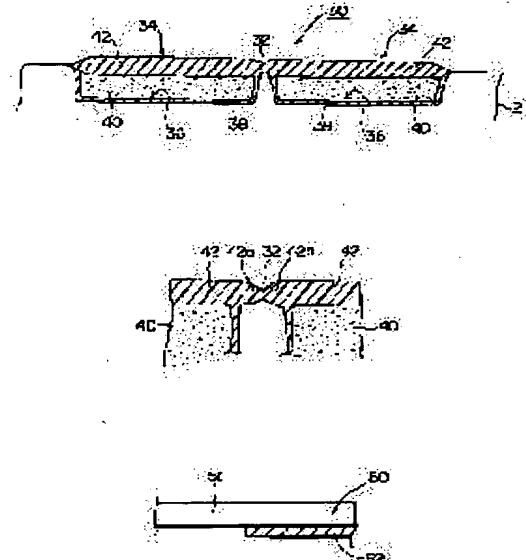
(21)Application number : 04-280693 (71)Applicant : SONY CORP
 (22)Date of filing : 25.09.1992 (72)Inventor : NEGISHI MICHIO

(54) ELEMENT ISOLATION REGION OF SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide the structure of the element isolation region of a semiconductor device where element isolation can be formed at a relatively wide region properly without generating a recess at the center and to provide the manufacturing method.

CONSTITUTION: An element isolation region 30 is divided into a plurality of element isolation units 34 by a dummy pattern part 32. Each element isolation unit 34 has a buried type element isolation structure where a buried layer 40 is buried inside a trench 36 and a LOCOS 42 is formed on the surface of the buried layer 40. It is preferable that a bird's beak 42a of the LOCOS 42 formed in each element isolation unit should be connected mutually at the dummy pattern part 32. For forming the dummy pattern part 32 to be a fine pattern, exposure is made using a reticle for exposure with shifter having a transmission light phase inversion part 52 with a specific pattern and then the dummy pattern part 32 is formed in a fine pattern corresponding to the boundary part between the transmission light phase inversion part and the other parts.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-112308

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.⁵
H 01 L 21/76
21/316

識別記号 庁内整理番号
M 9169-4M
L 9169-4M
9274-4M

F I

技術表示箇所

H 01 L 21/ 94

A

審査請求 未請求 請求項の数5(全6頁)

(21)出願番号 特願平4-280693

(22)出願日 平成4年(1992)9月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 根岸 三千雄

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

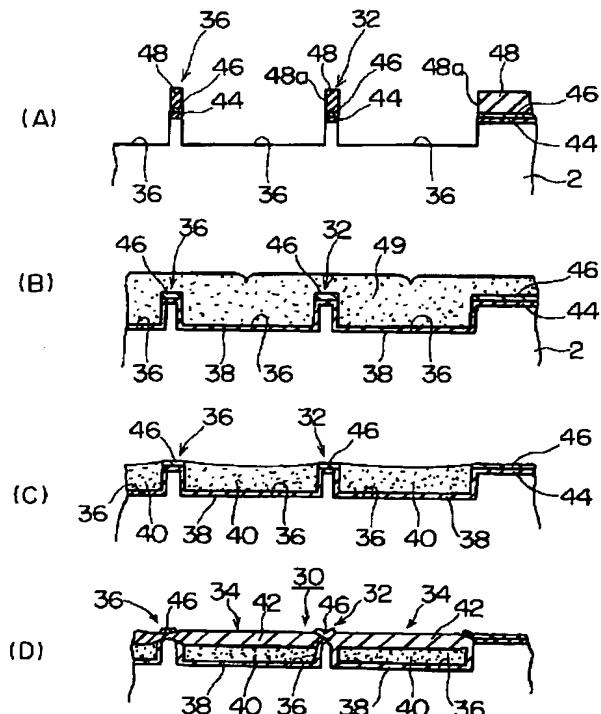
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置の素子分離領域およびその製造方法

(57)【要約】

【目的】 比較的広い領域での素子分離を、中央部での凹みを生じることなく、良好に形成することができる半導体装置の素子分離領域の構造およびその製造方法を提供すること。

【構成】 素子分離領域30がダミーパターン部32により複数の素子分離単位34に分割してある。各素子分離単位34は、たとえばトレチ36内に埋め込み層40が埋め込まれ、その埋め込み層40の表面にLOCOS42が形成される埋め込み型素子分離構造である。各素子分離単位に形成されるLOCOS42のバーズバーク42aは、ダミーパターン部32で相互に接続されることが好ましい。ダミーパターン部32を微細パターンにするため、所定のパターンの透過光位相反転部分52を有するシフタ付き露光用レチカル50を用いて露光を行い、透過光位相反転部分とその他の部分との境界部に相当する微細パターンでダミーパターン部32を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板の表面に形成される素子分離領域において、上記素子分離領域がダミーパータン部により複数の素子分離単位に分割してあることを特徴とする半導体装置の素子分離領域。

【請求項 2】 上記各素子分離単位が、トレンチ内に埋め込み層が埋め込まれ、その埋め込み層の表面に選択酸化阻止分離部分が形成される埋め込み型素子分離構造であることを特徴とする請求項 1 に記載の半導体装置の素子分離領域。

【請求項 3】 上記各素子分離単位に形成される選択酸化素子分離部分のバーズピークが上記ダミーパータン部で相互に接続されることを特徴とする請求項 1 に記載の半導体装置の素子分離領域。

【請求項 4】 所定のパターンの透過光位相反転部分を有するシフタ付き露光用レチクルを用いて露光を行い、透過光位相反転部分とその他の部分との境界部に相当する微細パターンでダミーパータン部を形成し、このダミーパータンで分離された各領域に埋め込み型素子分離構造の素子分離単位を形成することを特徴とする半導体装置の素子分離領域の製造方法。

【請求項 5】 上記透過光位相反転部分は、露光用レチクル上に市松状に配置してある請求項 4 に記載の半導体装置の素子分離領域の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の素子分離領域およびその製造方法に係り、さらに詳しくは、比較的広い領域で良好な素子分離を行なうための素子分離領域の構造およびその製造方法に関する。

【0002】

【従来の技術】 素子分離技術として、半導体基板に形成してあるトレンチ内にポリシリコンを埋め込み、その表面に選択酸化素子分離部分 (LOCOS) を作り込むようにした埋め込み型素子分離構造の素子分離技術が知られている。

【0003】 埋め込み型素子分離領域を形成するには、まず、図 7 (A) に示すように、半導体基板 2 の表面に、熱酸化膜 4 および窒化シリコン膜 6 を成膜し、所定パターンのレジスト膜 8 の開口部 8 a から半導体基板 2 の表面を異方性エッチングすることによりトレンチ 10 を形成する。トレンチ 10 の周囲には、回転イオン注入法を用いてチャネルトップ領域 12 を形成しておく。次に、同図 (B) に示すように、トレンチ 10 の内周面に熱酸化膜 14 を成膜した後、トレンチ 10 内に埋め込むように、半導体基板の表面にポリシリコン膜 16 を CVD 法により堆積させる。

【0004】 次に、同図 (C) に示すように、半導体基板表面のポリシリコン膜 16 を除去し、トレンチ 10 内にのみポリシリコン 16 a を残す。ポリシリコン膜 16

の除去手段として、エッチングによるエッチバック法と、機械化学的研磨による選択研磨法がある。選択研磨法は、エッチバック法に比較すると、比較的のパターン依存性が少なく、表面状態がよいという利点を有する。

【0005】 埋め込み型の素子分離領域を完成させるには、次に、図 8 (D) に示すように、窒化シリコン膜 6 を利用して選択酸化を行ない、トレンチ 10 内のポリシリコン 16 a の表面に選択酸化素子分離部分 (LOCOS) 18 を形成する。その後、同図 (E) に示すように、半導体基板 2 の表面の窒化シリコン膜 6 と熱酸化膜 4 とを除去して素子分離領域 20 が完成する。

【0006】

【発明が解決しようとする課題】 選択研磨法による素子分離領域 20 では、上述したように、エッチバック法に比較して、トレンチ 10 内のポリシリコン 16 a の中央部での凹みが少ないという利点を有するが、たとえば図 9 に示すように、半導体チップの外周部などに形成する幅 50 μ m 以上の比較的広い素子分離領域では、やはり中央部での凹みが問題となる。選択研磨によって、ポリシリコン 16 a の中央部がより多く研磨されてしまうためである。

【0007】 このような凹みがチップ外周部の素子分離領域に生じると、パターンが多数積層するチップ中央部に比較し、チップ周辺部では、極端に凹んだ形となり、半導体プロセスの後半において、積層膜の段差が無視できなくなり、ホトリソグラフィでのフォーカスによるパターン不良などの弊害が生じる。

【0008】 本発明は、このような実情に鑑みてなされ、比較的広い領域での素子分離を、中央部での凹みを生じることなく、良好に形成することができる半導体装置の素子分離領域の構造およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】 上記目的を達成するために、本発明の半導体装置の素子分離領域は、素子分離領域がダミーパータン部により複数の素子分離単位に分割してあることを特徴とする。

【0010】 各素子分離単位は、たとえばトレンチ内に埋め込み層が埋め込まれ、その埋め込み層の表面に選択酸化素子分離部分が形成される埋め込み型素子分離構造である。各素子分離単位に形成される選択酸化素子分離部分のバーズピークは、ダミーパータン部で相互に接続されることが好ましい。

【0011】 本発明の半導体装置の素子分離領域の製造方法は、所定のパターンの透過光位相反転部分を有するシフタ付き露光用レチクルを用いて露光を行い、透過光位相反転部分とその他の部分との境界部に相当する微細パターンでダミーパータン部を形成し、このダミーパータンで分離された各領域に埋め込み型素子分離構造の素子分離単位を形成することを特徴とする。透過光位相反

転部分は、露光用レチクル上に市松状に配置してあることが好ましい。

【0012】

【作用】本発明の半導体装置の素子分離領域では、素子分離領域がダミーパターン部により複数の素子分離単位に分割してあるので、たとえば選択研磨法によりトレンチ内の埋め込み層を形成する際に、埋め込み層の中央部での凹みを軽減することができる。

【0013】

【実施例】以下、本発明の一実施例に係る半導体装置素子分離領域およびその製造方法について、図面を参照しつつ詳細に説明する。図1は本発明の一実施例に係る半導体装置の素子分離領域の概略断面図、図2は図1に示す素子分離領域の要部断面図、図3は本発明の比較例を示す素子分離領域の要部断面図、図4は図1に示す実施例の半導体装置の素子分離領域の製造方法を示す概略断面図、図5は図4に示す実施例の製造方法で用いる位相シフタ付露光用レチクルの平面図およびそのレチクルを用いて形成されるダミーパターン部の平面図、図6は図5に示す位相シフタ付露光用レチクルの作用を示す概略図である。

【0014】図1に示すように、本発明の一実施例に係る半導体装置の素子分離領域30は、基本的には、埋め込み型の素子分離構造であるが、ダミーパターン部32により、複数の素子分離単位34、34に分割してあることが特徴である。ダミーパターン部32は、各素子分離単位34、34の幅が50μm以下となるように形成することが好ましい。50μm以上となると、後述する埋め込み層40の中央部での凹みが問題となる傾向にある。

【0015】各素子分離単位34、34では、半導体基板2の表面に形成してあるトレンチ36内に、絶縁膜38を介して埋め込み層40が埋め込まれている。埋め込み層40の表面には、それぞれ選択酸化阻止分離部分（LOCOS）42が形成してある。トレンチ36は、後述するような異方性エッチングなどにより形成され、その深さは、特に限定されないが、たとえば300nm程度である。絶縁膜38は、特に限定されないが、たとえばトレンチ36の側壁および底面を熱酸化して得られる酸化シリコン膜で構成される。この酸化シリコン膜の膜厚は、たとえば数nm～数十nm程度である。また、埋め込み層40は、特に限定されないが、選択研磨が容易なポリシリコンなどで構成される。LOCOS42は、たとえばポリシリコンで構成される埋め込み層40の表面を選択酸化することにより得られる。その膜厚は、たとえば数十～数百nm程度である。

【0016】本実施例では、各素子分離単位34、34のLOCOS42のバーズビーク42aが、ダミーパターン部32で相互に接続してある。各素子分離単位34、34のLOCOS42のバーズビーク42aを、ダ

ミーパターン部32で相互に接続するためには、ダミーパターン部32のパターン幅が狭いことが必要である。

図3に示すように、LOCOS42のバーズビーク42aは、設計パターンに対する寸法変換差dとなる。本実施例の素子分離構造が採用されるのは、0.3μm以下ルールであると予想されるので、寸法変換差dは、0.05μm以下であると予測される。したがって、ダミーパターン部32のパターン幅は、0.1μm（0.05μm×2）以下であることが好ましい。

【0017】もし仮に、図3に示すように、ダミーパターン部32aの幅が寸法変換差dよりも大きくなると、この部分にはLOCOSが形成されず、トランジスタ領域と同等となり、最終的には、その上に積層される配線の負荷容量の増大や酸化膜耐圧の問題が生じるおそれがある。したがって、ダミーパターン部のパターン幅は、微細パターンが好ましく、LOCOS42のバーズビーク42a相互は、接続してあることが望ましい。微細パターンのダミーパターン部32は、後述する位相シフタ付レチクルを用いて形成することができる。

【0018】次に、図4に基づき、本発明の一実施例に係る半導体装置の素子分離領域の製造方法について説明する。

【0019】図4（A）に示すように、本実施例では、半導体基板2の表面に、熱酸化膜で構成される絶縁膜44および窒化シリコン膜46を成膜し、所定パターンのレジスト膜48の開口部8aから半導体基板2の表面を異方性エッチングすることによりトレンチ36を形成する。トレンチ36の溝深さは、たとえば300nm程度である。絶縁膜44の膜厚は、たとえば10nm程度である。

【0020】トレンチ36を形成するためのレジスト膜48のパターンは、ごく微細なダミーパターン部32を有するため、図5に示すような位相シフタ付レチクル50を用いて露光が行なわれる。図5に示す位相シフタ付レチクル50は、透過光位相反転部分52が市松模様状に配置してある。各透過光位相反転部分52は、図6（A）に示すように、露光用レチクル50を構成する透明板51に対し、所定のパターンで板厚を変化させることにより形成することができる。

【0021】本実施例では、透過光位相反転部分52と透明板51との境界部分において、図6（B）に示すように、光の干渉による透過光強度の低下部分が生じ、これを利用することにより、通常のパターンでは解像できない超微細なレジスト膜48のパターンを形成することができる。このパターンが、ダミーパターン部32となる。図5（A）に示すように、露光用レチクル50における透過光位相反転部分52の配置パターンが市松状である場合には、同図（B）に示すように、ダミーパターン部のパターンはメッシュ状となり、ダミーパターン部32のパターン幅tは、0.1μm程度に小さくでき

る。ダミーパターン部32相互の間隔は、50μm以下であることが好ましい。それ以上の間隔では、埋め込み層の中央部で発生する凹みが大きくなる傾向にある。

【0022】レジスト膜48の剥離前には、トレンチ36の側壁および底壁に、回転イオン注入法を用いてチャネルストップ領域を形成しておく。次に、同図(B)に示すように、レジスト膜48を剥離し、トレンチ36の内周面に熱酸化膜などで構成される絶縁膜38を成膜した後、トレンチ10内に埋め込むように、半導体基板の表面にポリシリコン膜などで構成される埋め込み予備層49をCVD法により堆積させる。絶縁膜38の膜厚は、たとえば数nm～数十nm程度である。また、埋め込み予備層49の膜厚は、トレンチ36を完全に埋め込むように決定され、たとえば数百nm以上である。

【0023】次に、図4(C)に示すように、半導体基板表面の埋め込み予備層49を除去し、トレンチ10内にのみ埋め込み層40を残す。埋め込み予備層49の除去手段として、エッチングによるエッチバック法と、機械化学的(メカノケミカル)研磨による選択研磨法がある。選択研磨法は、エッチバック法に比較すると、比較的パターン依存性が少なく、表面状態がよいという利点を有する。この選択研磨法では、埋め込み層40を構成するポリシリコンと、窒化シリコン膜46を構成する窒化シリコンとで、選択比をとり、窒化シリコン膜46がエッチングストッパーとなり、トレンチ以外のポリシリコン膜を選択的に研磨することが可能である。

【0024】次に、図4(D)に示すように、酸化阻止膜としての窒化シリコン膜46を利用して選択酸化を行ない、トレンチ36内のポリシリコンで構成される埋め込み層40の表面に、暑さ数十～数百nm程度のLOCOS42を形成する。その際に、ダミーパターン部32のパターンが微細であるため、LOCOS42のバーズピーク同士は、相互に連結される。その後、半導体基板2の表面の窒化シリコン膜46と絶縁膜44とを除去して、ダミーパターン部32により各素子分離単位34に分割された、比較的広範囲の素子分離領域30が完成する。

【0025】なお、本発明は、上述した実施例に限定されるものではなく、本発明の範囲内で種々に改変することができる。

【0026】

【発明の効果】以上説明してきたように、本発明によれば、素子分離領域がダミーパターン部により複数の素子分離単位に分割してあるので、たとえば選択研磨法によりトレンチ内の埋め込み層を形成する際に、埋め込み層の中央部での凹みを軽減することができる。

【0027】その結果、チップスケールで凹凸が少なく安定な素子分離を形成することが可能になる。また、半導体プロセスの後半において、積層膜の段差が小さくな

り、ホトリソグラフィでのフォーカスによるパターン不良などの弊害が減少する。

【0028】特に、所定のパターンの透過光位相反転部分を有するシフタ付き露光用レチクルを用いて露光を行い、透過光位相反転部分とその他の部分との境界部に相当する微細パターンでダミーパターン部を形成し、このダミーパターンで分離された各領域に埋め込み型素子分離構造の素子分離単位を形成するように構成すれば、ダミーパターン部を、LOCOS形成時の寸法変換差以下の微細パターンに形成することができ、各素子分離単位の表面に形成するLOCOSのバーズピークがダミーパターン部で相互に接続される。その結果、素子分離単位が相互に接続され、その上層側に形成される配線の負荷容量の増大や酸化膜耐圧の問題が軽減される。したがって、配線などのレイアウトの自由度も大幅に向上する。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置の素子分離領域の概略断面図である。

【図2】図1に示す素子分離領域の要部断面図である。

【図3】本発明の比較例を示す素子分離領域の要部断面図である。

【図4】図1に示す実施例の半導体装置の素子分離領域の製造方法を示す概略断面図である。

【図5】図4に示す実施例の製造方法で用いる位相シフタ付露光用レチクルの平面図およびそのレチクルを用いて形成されるダミーパターン部の平面図である。

【図6】図5に示す位相シフタ付露光用レチクルの作用を示す概略図である。

【図7】従来例に係る半導体装置の素子分離領域の製造方法を示す概略断面図である。

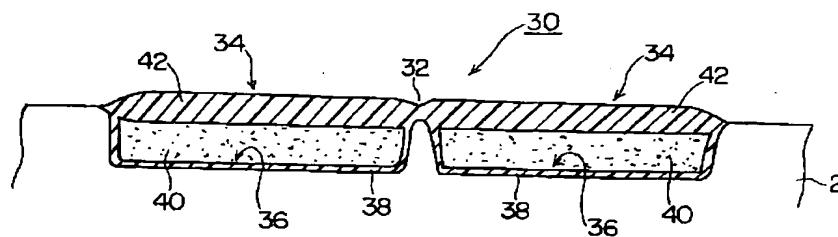
【図8】図7に示す従来例に係る半導体装置の素子分離領域の製造方法の続きを示す概略断面図である。

【図9】従来例に係る半導体装置の素子分離領域の製造過程の一部を示す概略断面図である。

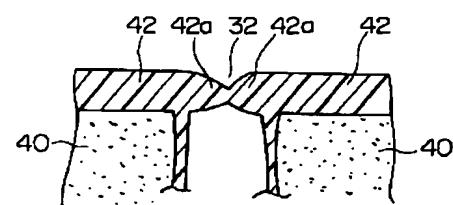
【符号の説明】

- 2… 半導体基板
- 30… 素子分離領域
- 32… ダミーパターン部
- 34… 素子分離単位
- 36… トレンチ
- 38… 絶縁膜
- 40… 埋め込み層
- 42… 選択酸化阻止分離部分 (LOCOS)
- 44… 絶縁膜
- 46… 窒化シリコン膜
- 48… レジスト膜
- 50… 位相シフタ付露光用レチクル
- 52… 透過光位相反転部分

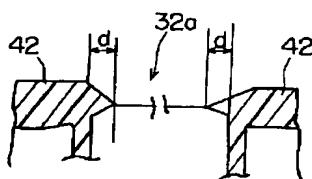
【図1】



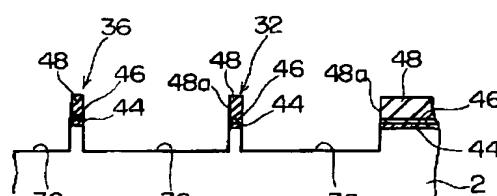
【図2】



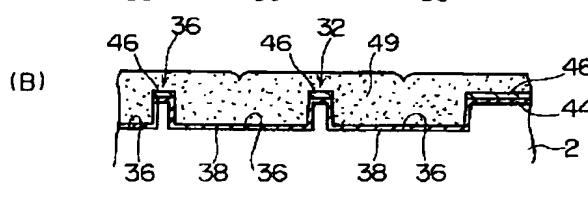
【図3】



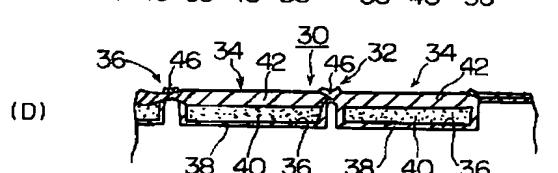
(A)



【図4】

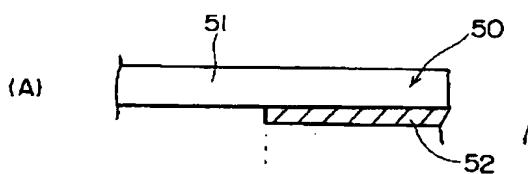


(C)

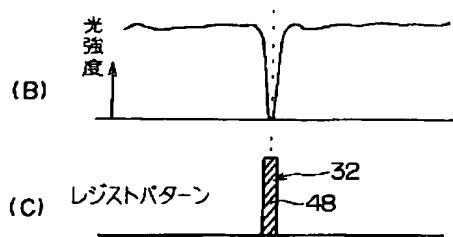
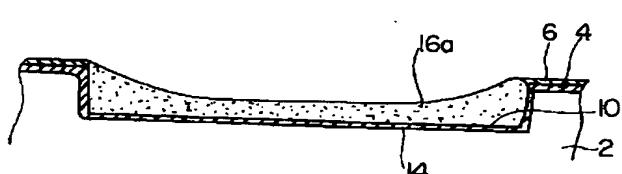


(D)

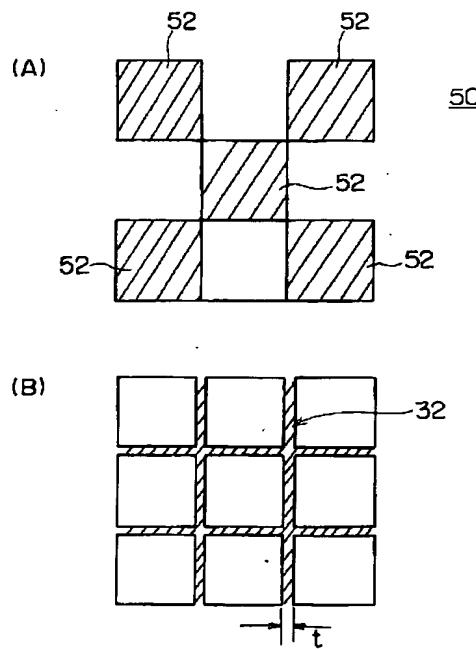
【図6】



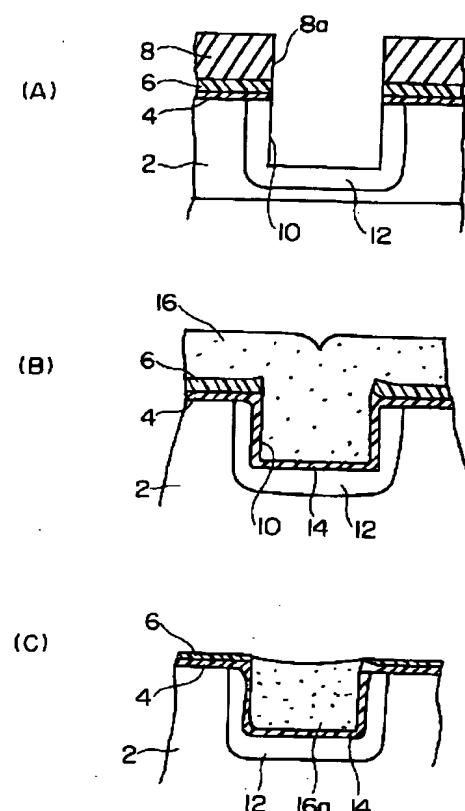
【図9】

レジストパターン
32
48

【図5】



【図7】



【図8】

